

## SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP4056342  
Publication date: 1992-02-24  
Inventor(s): SUDA SHINJI; others: 04  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP4056342  
Application Number: JP19900167283 19900626  
Priority Number(s):  
IPC Classification: H01L21/82; H01L27/04  
EC Classification:  
Equivalents: JP2662826B2

### Abstract

**PURPOSE:** To realize reductions in IC development time and cost by establishing switching circuits which selectively connect a first and a second circuit with input or output circuits and placing this switching circuit nearby the input or output circuits.

**CONSTITUTION:** Switching circuits 501 and input/output circuits 502 are connected to each other. In each of the input/output circuits 502, the transistors P1, P2, N1, and N2 compose an input buffer and the transistors P3, P4, N3, and N4 compose an output buffer. When signal (e) is at a level H, the transistors P3 and P4 turn on and the output buffer becomes active. As a result, signals transmitted by the switching circuit 501 are output into a pad Pa. When signal (e) is at a level L, the transistors P1 and N2 turn on and the input buffer becomes active. As a result, the signals (g) given to the pad Pa are transmitted as input signals (f) to a microcomputer core 2 and a random logic circuit 3.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-56342

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月24日

H 01 L 21/82  
27/04

T

7514-4M  
7638-4M

H 01 L 21/82

T

審査請求 未請求 請求項の数 1 (全14頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 平2-167283

⑱ 出 願 平2(1990)6月26日

⑲ 発 明 者 須 田 真 二 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内  
⑲ 発 明 者 田 部 恭 子 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内  
⑲ 発 明 者 堀 俊 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内  
⑲ 発 明 者 中 尾 浩 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内  
⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
⑲ 代 理 人 弁理士 深見 久郎 外2名  
最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1チップ上に形成される半導体集積回路装置であって、

第1および第2の回路手段、

外部信号用パッドを含み、前記第1および第2の回路手段に対して信号を入力または出力するための入力または出力回路手段、および

前記第1および第2の回路手段を前記入力または出力回路手段に選択的に結合させる切換回路手段を備え、

前記切換回路手段は前記入力または出力回路手段に隣接して配置される、半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体集積回路装置に関し、特にマイクロコンピュータをコア(核)として用いた大規模の制御用集積回路に関する。

〔従来の技術〕

近年、電子機器の高機能化、小型化および低価格化に伴ない、マイクロコンピュータを含むLSIを応用製品ごとに開発するという要求が強くなっている。また、そのようなLSIを短時間にかつ確実に開発することが要求される。

マイクロコンピュータをコア(核)にする集積回路(以下、ICと呼ぶ)の開発手法として、第15図に示すような技術の例がある。この技術では、CPU(中央演算処理装置)コア201、ROM(リードオンリメモリ)202、RAM(ランダムアクセスメモリ)203、I/F回路(インターフェイス回路)204、タイマ205、I/Oポート(入出力ポート)206およびバス207を含む1チップマイクロコンピュータ208内に、ユーザのシステムに特有なロジック回路209が組込まれ、1チップ上にこれらが集積化される。第15図に示すように、ロジック回路209は、マイクロコンピュータ208内のバス207に接続されている。

また、マイクロコンピュータをコアにするICの他の開発手法として、第16図に示すような技術の例がある。この技術では、マイクロコンピュータチップ301およびロジック回路チップ302がチップ303上に配置され、これらを1チップ化するために必要な新たなパッド304が設けられる。そして、マイクロコンピュータチップ301上のパッド305、ロジック回路302上のパッド306および新たに設けられたパッド304間に配線が設けられてそれらが1チップ化される。

これらの技術によると、汎用のマイクロコンピュータとユーザに特有のロジック回路とが1チップ化されるため、システムの小型化およびコストダウンを容易に行なうことができる。

〔発明が解決しようとする課題〕

しかし、第15図に示される技術においては、1チップマイクロコンピュータ208内にロジック回路209を組込むために、レイアウトの変更および追加が必要となり、マイクロコンピュータ

加による集積回路のレイアウトパターンの低集積化が無視できない。特に、最近では、集積回路の端子数が増加しており、さらに集積回路のレイアウトパターン設計に計算機を用いているので、より配線領域の増加となり、チップサイズの増加の原因となる。

さらに、マイクロコンピュータチップ301とロジック回路チップ302とを電氣的に分離することができないので、マイクロコンピュータチップ用またはロジック回路チップ用に既に開発されているテストプログラム、ソフトウェア開発・デバッグ用ツール等を使用することができない。したがって、それらのテストプログラム、ソフトウェア開発・デバッグ用ツール等を新たに開発しなければならない。

この発明の目的は、マイクロコンピュータを用いたICを短時間に少ない開発労力およびコストで実現することが可能な半導体集積回路装置を提供することである。

〔課題を解決するための手段〕

チップ208の全体を改造することとなる。そのため、チップの開発、総合的なタイミング検証、テストプログラムの開発およびデバッグに時間がかかることになる。また、チップの開発には、マイクロコンピュータのパターン、回路構成、タイミング、テスト方法などのすべてを熟知している技術者が必要となる。

また、マイクロコンピュータチップ用に既に開発されているテストプログラム、ソフトウェア開発・デバッグ用ツール等を使用することができない。したがって、それらのテストプログラム、ソフトウェア開発・デバッグ用ツール等を新たに開発しなければならない。

一方、第16図に示される技術においては、複数のチップ間に配線を施すことによりそれらが1チップ化されるので、それぞれのチップ301、302上にパッド305、306や入出力回路307、308などが存在する。そのため、パッド、ドライバ回路等が重複し、無駄が生じるとともに、チップサイズが大きくなる。また、配線領域の増

この発明にかかる半導体集積回路装置は、1チップ上に形成される半導体集積回路装置であって、第1および第2の回路手段、入力または出力回路手段、および切換回路手段を備える。入力または出力回路手段は、外部信号用パッドを含み、前記第1および第2の回路手段に対して信号を入力または出力する。切換回路手段は、第1および第2の回路手段を入力または出力回路手段に選択的に結合させる。切換回路手段は、入力または出力回路手段に隣接して配置される。

〔作用〕

通常の動作時には、入力または出力回路手段が第1および第2の回路手段に共通に用いられ、この入力または出力回路手段に第1の回路手段および第2の回路手段の両方またはいずれか一方が結合される。

第1の回路手段のテスト時には、第1の回路手段のみが入力または出力回路手段に結合され、この入力または出力回路手段を介してテストのための信号が入出力される。一方、第2の回路手段の

テスト時には、第2の回路手段のみが入力または出力回路手段に結合され、この入力または出力回路手段を介してテストのための信号が入出力される。

このように、第1の回路手段および第2の回路手段を個々にテストすることができるので、汎用のマイクロコンピュータおよび論理回路のために既に開発されているテストプログラムおよびソフト開発・デバッグ用ツールなどを使用することができる。

また、パッドが、第1の回路手段および第2の回路手段には含まれず、入力または出力回路手段に含まれているので、従来例に比べてチップサイズが小さくなる。さらに、第1および第2の回路手段の一方のレイアウトを変更および追加することなく、他方を仕様に合わせて設計することができる。

しかも、第1および第2の回路手段に対して信号を入力または出力するための入力または出力回路手段と、第1および第2の回路手段を入力また

は出力回路手段に選択的に結合させる切換回路手段とが、隣接して配置されているので、半導体集積回路装置の集積度が向上する。

#### [実施例]

以下、この発明の実施例を図面を参照しながら詳細に説明する。

第4図はこの発明の一実施例による半導体集積回路装置の概略構成を示す平面図である。半導体チップ1上にマイクロコンピュータコア（またはマイクロコントロールユニットコア；以下、マイコンコアと呼ぶ）2およびランダムロジック回路3が設けられている。半導体チップ1上の周縁部には共通共用端子回路4、選択共用端子回路5、マイコンコア用の専用端子回路6およびランダムロジック回路用の専用端子回路7が設けられている。また、半導体チップ1上にモード設定信号発生回路8およびモード信号入力回路9が設けられている。

ここで、共通共用端子回路4、選択共用端子回路5および専用端子回路6、7の各々を、周辺回

路と呼ぶ。半導体チップ1の各辺に垂直な方向における各周辺回路の長さHは同一に形成される。

第1図を参照すると、周辺回路500aは共通共用端子回路4または選択共用端子回路5に相当し、周辺回路500bは専用端子回路6、7に相当する。周辺回路500aは切換回路501および入出力回路502を含む。切換回路501と入出力回路502とは隣接するように配置される。また、周辺回路500bはゲート回路503および入出力回路502を含む。ゲート回路503と入出力回路502とは隣接するように配置される。

第1図に示すように、半導体チップの各辺に対して垂直な方向における各周辺回路500a、500bの長さHはすべて同一に形成される。

第2A図は周辺回路500aの半導体チップ上のレイアウトパターンの一例を示す図であり、第2B図は第2A図の等価回路図である。

第2A図に示すように、電源電圧 $V_{DD}$ を供給する電源ラインL1および電源電圧 $V_{SS}$ を供給する電源ラインL2を挟んで、一方の領域は切換

回路501に相当する部分であり、他方の領域は入出力回路502に相当する部分である。

切換回路501は、NチャネルMOSトランジスタN5、N6、N10、N20、N30およびPチャネルMOSトランジスタP5、P6、P10、P20、P30を含む。各トランジスタは、ソースS、ゲートGおよびドレインDを含む。

入出力回路502は、NチャネルMOSトランジスタN1、N2、N3、N4、PチャネルMOSトランジスタP1、P2、P3、P4およびパッドPaを含む。各トランジスタは、ソースS、ゲートGおよびドレインDを含む。

第2B図において、インバータI1は、第2A図に示されるNチャネルMOSトランジスタN10およびPチャネルMOSトランジスタP10からなる。また、インバータI2は、第2A図に示されるNチャネルMOSトランジスタN20およびPチャネルMOSトランジスタP20からなり、インバータI3は、NチャネルMOSトランジスタN30およびPチャネルMOSトランジスタP

30からなる。トランジスタP5, N5が第1のトランスファゲートを構成し、トランジスタP6, N6が第2のトランスファゲートを構成する。信号aが“H”レベルのときにはトランジスタP5, N5がオンし、信号bが入出力回路502に伝達される。また、信号cが“H”レベルのときには、トランジスタP6, N6がオンし、信号dが入出力回路502に伝達される。

入出力回路502において、トランジスタP1, P2, N1, N2が入力バッファを構成し、トランジスタP3, P4, N3, N4が出力バッファを構成する。信号eが“H”レベルのときには、トランジスタP3, N4がオンし、出力バッファが能動化される。これにより、切換回路501から伝達された信号がパッドPaに出力される。信号eが“L”レベルのときには、トランジスタP1, N2がオンし、入力バッファが能動化される。これにより、パッドPaに与えられる信号gが入力信号fとしてマイコンコア2またはランダムロジック回路3に伝達される。

信号hはインバータI4を介して入出力回路502のトランジスタP4, N3のゲートに与えられる。信号eが“H”レベルのときには、トランジスタP3, N4がオンし、出力バッファが能動化される。したがって、信号hがパッドPaに出力される。信号e“L”レベルのときには、トランジスタP1, N2がオンする。したがって、パッドPaに与えられる信号gが入力信号fとしてマイコンコア2またはランダムロジック回路3に入力される。

上記実施例では、切換回路501と入出力回路502とを半導体チップのレイアウトパターン上で隣接して配置したので、切換回路501と入出力回路502との間の配線領域は、半導体集積回路全体の領域に対してほとんど無視できる程度となる。

また、切換回路501と入出力回路502とを電源ラインL1, L2により分離している。同様に、ゲート回路503と入出力回路502とを電源ラインL1, L2により分離している。したが

第3A図は周辺回路500bの半導体チップ上のレイアウトパターンの一例を示す図であり、第3B図は第3A図の等価回路図である。

第3A図に示すように、電源ラインL1, L2を挟んで一方の領域は入出力回路502に相当する部分であり、他方の領域はゲート回路503に相当する部分である。入出力回路502のレイアウトパターンは第2A図に示される入出力回路502のレイアウトパターンと同様である。ゲート回路503は、NチャネルMOSトランジスタN10, N40およびPチャネルMOSトランジスタP10, P40を含む。各トランジスタは、ソースS、ゲートGおよびドレインDを含む。

第3B図に示すように、ゲート回路503は、インバータI1およびI4を含む。インバータI1は、第3A図に示されるNチャネルMOSトランジスタN10およびPチャネルMOSトランジスタP10からなる。インバータI4は、NチャネルMOSトランジスタN40およびPチャネルMOSトランジスタP40からなる。

って、入出力端子を介してパッドPaに進入した外部ノイズが、切換回路501およびゲート回路503に進入することが阻止される。なお、アルミニウム配線により形成される電源ラインL1, L2の下部と半導体基板との間にコンタクトを設け、あるいは、それらの間に逆耐圧のダイオードを配置しておくこと、外部ノイズの除去にさらに有効となる。

計算機を利用したレイアウトパターン設計によると、マイコンコア2またはランダムロジック回路3と周辺回路500a, 500bとの間の配線領域は、各周辺回路500a, 500bに沿うように配置される。そのため、半導体チップの各辺に対して垂直な方向における各周辺回路500a, 500bの長さが互いに異なると、各配線が折れ曲がるように形成される。上記実施例においては、半導体チップの1つの辺に対して垂直な方向における各周辺回路500a, 500bの長さHが統一されているので、各配線のレイアウトパターンが単純化され、配線領域の面積が減少する。

次に、上記実施例の半導体集積回路装置の各部分の構成および動作を詳細に説明する。

第5図に示すように、マイコンコア2は、CPUコア21、ROM22、RAM23、I/F回路24、タイマ25、I/Oポート26およびバス27を含み、入出力ドライバ、パッドなどからなる入出力回路を含まない。ランダムロジック回路3は、種々のゲート、カウンタ、フリップフロップなどから構成される論理回路であり、特定用途の仕様に従って設計される。

次に、第6図を参照すると、共通共用端子回路4は、通常はマイコンコア2およびランダムロジック回路3に結合され、テスト時にはマイコンコア2またはランダムロジック回路3に選択的に結合される。選択共用端子回路5は、通常はマイコンコア2およびランダムロジック回路3のいずれか一方に固定的に結合され、テスト時にはマイコンコア2またはランダムロジック回路3に選択的に結合される。専用端子回路6はマイコンコア2のみに固定的に結合され、専用端子回路7はラン

ダムロジック回路3のみに固定的に結合されている。

モード信号入力回路9には、この半導体集積回路装置を通常モード、マイコンコア2のテストモード（以下、MCUテストモードと呼ぶ）、およびランダムロジック回路3のテストモード（以下、R/Lテストモードと呼ぶ）に設定するためのモード信号が与えられる。モード設定信号発生回路8は、モード信号入力回路9の出力にตอบสนองして、共通共用端子回路4および選択共用端子回路5にモード設定信号を与える。

第7図は、共通共用端子回路4および選択共用端子回路5の構成を示すブロック図である。共通共用端子回路4は、切換回路41および入出力回路42からなり、選択共用端子回路5も同様に切換回路51および入出力回路52からなる。切換回路41は、信号線LMによりマイコンコア2に接続されかつ信号線LRによりランダムロジック回路3に接続されている。切換回路51も同様に、信号線LMによりマイコンコア2に接続されかつ

信号線LRによりランダムロジック回路3に接続されている。また、切換回路41および切換回路51には、信号線LCを介してモード設定信号発生回路8からモード設定信号が与えられる。

第8A図、第8B図および第8C図は共通共用端子回路4の機能を説明するための模式図である。通常モードにおいては、第8A図に示すように、入出力回路42が切換回路41によりマイコンコア2およびランダムロジック回路3に結合される。MCUテストモードにおいては、第8B図に示すように、入出力回路42が切換回路41によりマイコンコア2に結合される。R/Lテストモードにおいては、第8C図に示すように、入出力回路42が切換回路41によりランダムロジック回路3に結合される。

第9図は選択共用端子回路5の機能を説明するための模式図である。通常モードにおいては、第9図に示すように、入出力回路52が切換スイッチ51によりマイコンコア2およびランダムロジック回路3のいずれか一方に固定的に結合される。

マイコンコア2およびランダムロジック回路3のいずれに結合されるかは、その半導体集積回路装置の仕様によって定められる。

MCUテストモードにおいては、共通共用端子回路4の場合と同様に、入出力回路52が切換回路51によりマイコンコア2に結合される。R/Lテストモードにおいても、共通共用端子回路4の場合と同様に、入出力回路52が切換回路51によりランダムロジック回路3に結合される。

第10図はモード設定信号発生回路8およびモード信号入力回路9の構成を示す図である。モード信号入力回路9は、パッド91、92および入力バッファ93、94を含む。モード設定信号発生回路8には、パッド91および入力バッファ93を介してモード信号φ0が与えられかつパッド92および入力バッファ94を介してモード信号φ1が与えられる。モード設定信号発生回路8は、モード信号φ0、φ1に基づいてモード設定信号TN、TM、TRを発生する。通常モード時にはモード設定信号TNがアクティブとなり、MCU

テストモード時にはモード設定信号TMがアクティブとなり、R/Lテストモード時にはモード設定信号TRがアクティブとなる。

第11図は信号線の構成を詳細に示す図である。信号線LMは、出力データDOMを伝送するためのデータ線、入力データDIMを伝送するためのデータ線および制御信号CMを伝送するための制御線からなる。この信号線LMはマイコンコア2のI/Oポート26（第5図参照）に接続される。信号線LRは、出力データDORを伝送するためのデータ線、入力データDIRを伝送するためのデータ線および制御信号CRを伝送するための制御線からなる。また、信号線LCは、モード設定信号TN、TM、TRを伝送するための3本の信号線からなる。

第12図は共通共用端子回路4の構成を示す図である。出力回路42は、パッド43および出力ドライバ44を含む。

通常モード時には、モード設定信号TNがアクティブとなる。それにより、切換回路41は、制

御信号CM、CRの一方または両者の論理和をとった信号、および出力データDOM、DORの一方を出力ドライバ44に与える。出力ドライバ44は制御信号にตอบสนองして出力データをパッド43に出力する。

MCUテストモード時には、モード設定信号TMがアクティブとなる。それにより、切換回路41は制御信号CMおよび出力データDOMを出力ドライバ44に与える。出力ドライバ44は制御信号CMにตอบสนองして出力データDOMをパッド43に出力する。

R/Lテストモード時には、モード設定信号TRがアクティブとなる。それにより、切換回路41は、制御信号CRおよび出力データDORを出力ドライバ44に与える。出力ドライバ44は制御信号CRにตอบสนองして出力データDORをパッド43に出力する。

また、入力データDIMはパッド43からマイコンコア2に入力され、入力データDIRはパッド43からランダムロジック回路3に入力される。

選択共用端子回路5の構成も第12図に示される構成と同様である。ただし、選択共用端子回路5においては、通常モード時には出力データDOM、DORのうち予め定められた出力データが常に出力される。

第13図は専用端子回路6の構成を示す図である。専用端子回路6はパッド61および出力ドライバ62を含む。出力ドライバ62には制御信号CMおよび出力データDOMが与えられる。また、パッド61から入力データDIMが入力される。専用端子回路7の構成も専用端子回路6の構成と同様である。

次に、この実施例の半導体集積回路装置の動作について説明する。

通常モード時には、共通共用端子回路4がマイコンコア2およびランダムロジック回路3に共通に用いられ、マイコンコア2（あるいはランダムロジック回路3）の出力がランダムロジック回路3（あるいはマイコンコア2）に入力されるか、または、共通共用端子回路4を介して、マイコン

コア2およびランダムロジック回路3に対して信号が入力される。また、専用端子回路6を介してマイコンコア2に対して信号が入出力され、専用端子回路7を介してランダムロジック回路3に対して信号が入出力される。選択共用端子回路5がマイコンコア2に結合されている場合には、選択共用端子回路5を介してマイコンコア2に対して信号が入出力される。逆に選択共用端子回路5がランダムロジック回路3に結合されている場合には、選択共用端子回路5を介してランダムロジック回路3に対して信号が入出力される。

MCUテストモード時には、共通共用端子回路4および選択共用端子回路5がマイコンコア2にのみ結合される。この場合、共通共用端子回路4、選択共用端子回路5または専用端子回路6を介してマイコンコア2に対してテスト信号が入出力される。

R/Lテストモード時には、共通共用端子回路4および選択共用端子回路5がランダムロジック回路3にのみ結合される。この場合、共通共用端

子回路4、選択共用端子回路5または専用端子回路7を介してランダムロジック回路3に対してテスト信号が入出力される。

上記のように、マイコンコア2およびランダムロジック回路3の各々を個々にテストすることができるので、汎用のマイクロコンピュータおよび論理回路のために既に開発されているテストプログラムおよびソフト開発・デバッグ用ツールを使用することができる。

また、パッドやドライバがマイコンコア2およびランダムロジック回路8には含まれておらず、共通共用端子回路4および選択共用端子回路5に含まれているので、チップサイズが縮小化される。

さらに、マイコンコア2のレイアウトを変更または追加することなく、仕様に応じてランダムロジック回路3の構成を設計することができる。

次に、第14図を参照しながらこの実施例の半導体集積回路装置の使用例について説明する。

通常、マイコンコア2においては演算処理が行われ、ランダムロジック回路3においてはマイ

コンコア2で処理することができない高速処理が行なわれる。

たとえば、ランダムロジック回路3が汎用バスのコントローラとなるように設計された場合、専用端子回路7にはバス100を介して複数のパーソナルコンピュータ101、ディスク装置106等が接続される。

また、ランダムロジック回路3が特定の制御対象102の専用コントローラとなるように設計された場合には、専用端子回路7にはその制御対象102が接続される。

共通共用端子回路4にはたとえば外部メモリ103が接続される。選択共用端子回路5にはたとえばCPU104が接続され、専用端子回路6にはたとえばディスクコントローラ105が接続される。選択共用端子回路5は、ユーザの注文に従ってランダムロジック回路3に結合させることも可能である。

上記のように、この実施例によるとマイコンコアを用いたICを短期間に少ない開発労力で安価

に実現することができる。

#### [発明の効果]

以上のようにこの発明によれば、第1の回路手段用または第2の回路手段用に既に開発されているテストプログラムおよびソフトウェア開発・デバッグ用ツールなどを使用することができるとともに、チップサイズが縮小化される。また、第1および第2の回路手段の一方のパターン、回路構成、タイミング、テスト方法などを熟知していなくても、他方をユーザの要求に従って容易に設計することができる。

したがって、マイクロコンピュータコアを用いたICを短期間に少ない開発労力およびコストで実現することが可能となる。

しかも、入力または出力回路手段と切換回路手段とが隣接して配置されているので、集積度がさらに向上する。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例による半導体集積回路装置の主要部の平面図である。第2A図は同

実施例の周辺回路のレイアウトパターンの一例を示す図である。第2B図は第2A図の等価回路図である。第3A図は同実施例の他の周辺回路のレイアウトパターンの一例を示す図である。第3B図は第3A図の等価回路図である。第4図は同実施例による半導体集積回路装置の全体の平面図である。第5図は同実施例の構成を示す機能ブロック図である。第6図は同実施例の主要部の特徴を説明するための模式図である。第7図は共通共用端子回路および選択共用端子回路の構成を示すブロック図である。第8A図、第8B図および第8C図は共通共用端子回路の機能を説明するための模式図であり、第8A図は通常モードを示す図、第8B図はMCUテストモードを示す図、第8C図はR/Lテストモードを示す図である。第9図は選択共用端子回路の機能を説明するための模式図である。第10図はモード設定信号発生回路およびモード信号入力回路の構成を示す図である。第11図は信号線の具体的な構成を示す図である。第12図は共通共用端子回路の構成を示す図であ



る。第13図は専用端子回路の構成を示す図である。第14図は同実施例の使用例を説明するための図である。第15図は従来のマイクロコンピュータコアを用いたICの一例を示す平面図である。第16図は従来のマイクロコンピュータコアを用いたICの他の例を示す機能ブロック図である。

図において、1は半導体チップ、2はマイクロコンピュータコア、3はランダムロジック回路、4は共通共用端子回路、5は選択共用端子回路、6、7は専用端子回路、8はモード設定信号発生回路、9はモード信号入力回路、500a、500bは周辺回路、501は切換回路、502は入出力回路、Paはパッドである。

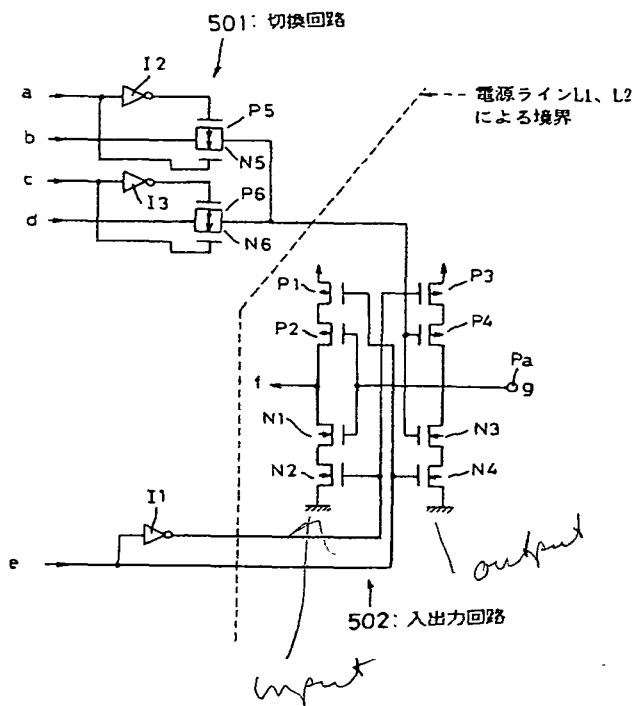
なお、各図中同一符号は同一または相当部分を示す。

特許出願人 三菱電機株式会社

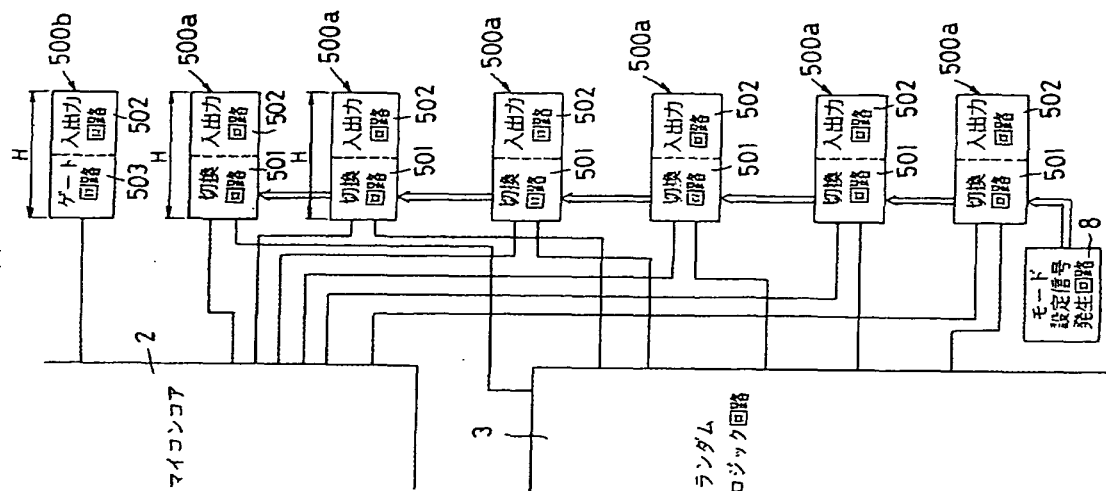
代理人 弁理士 深見久郎

(ほか2名)

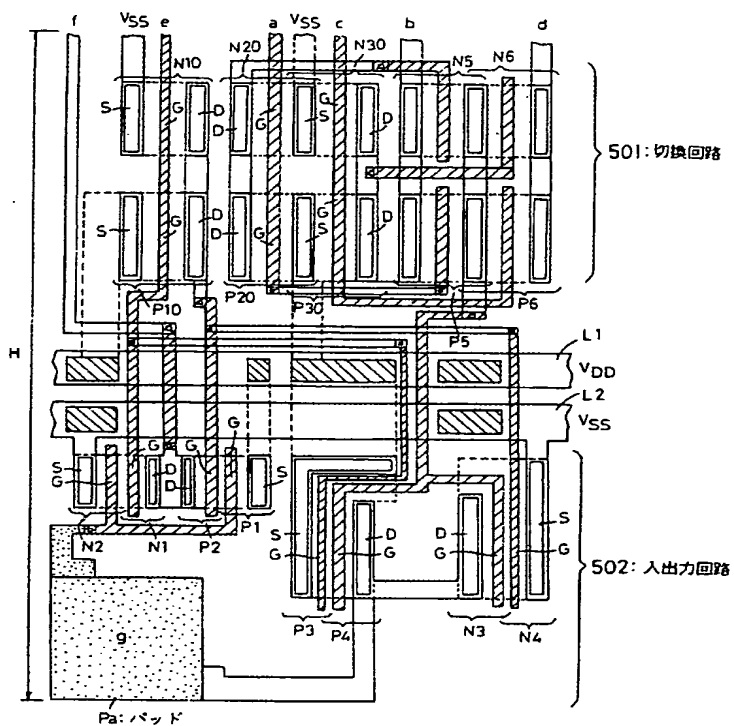
第2B図



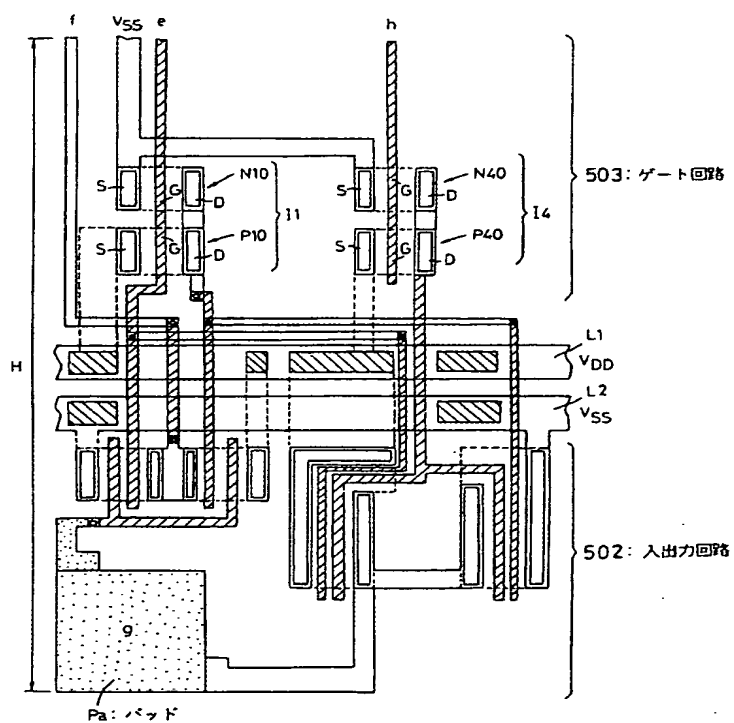
第1図



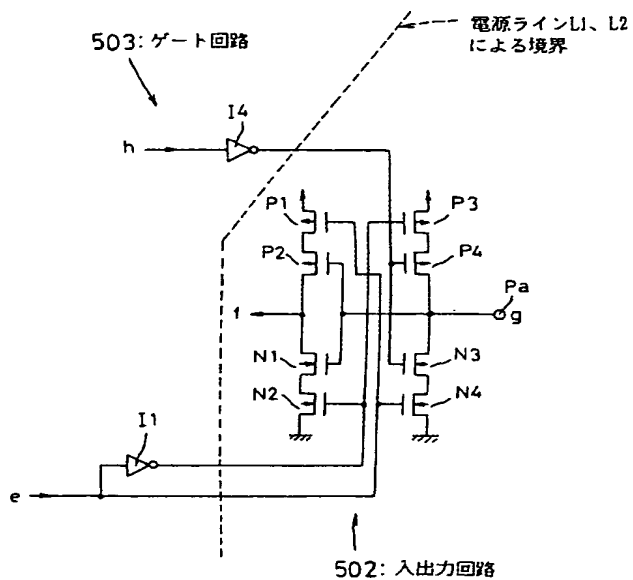
第2A図



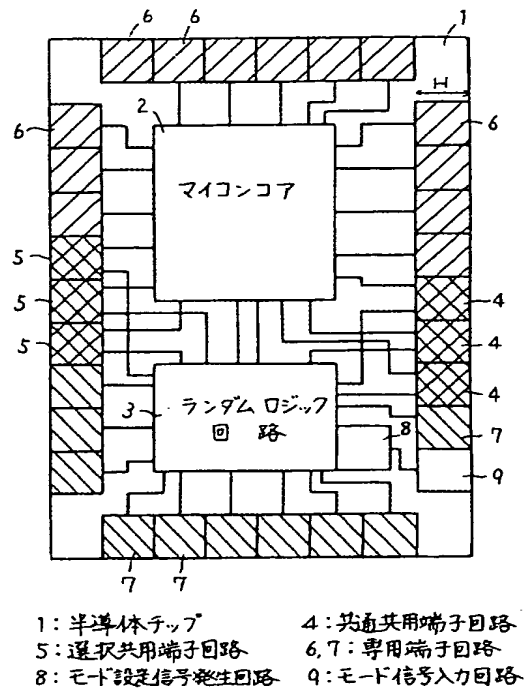
第3A図



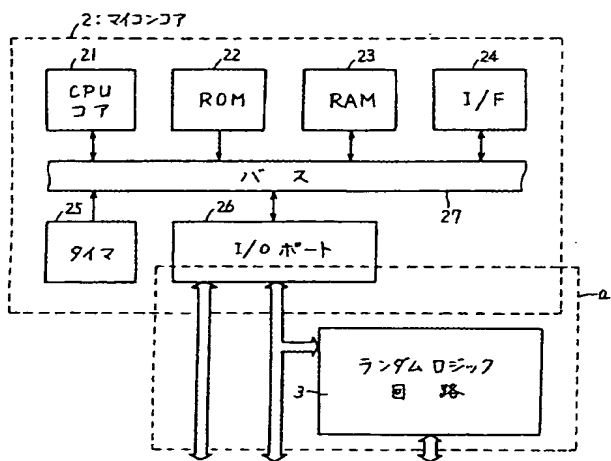
第3B図



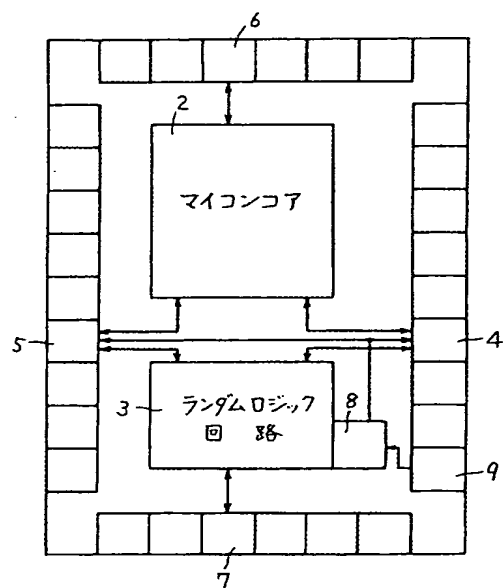
第4図



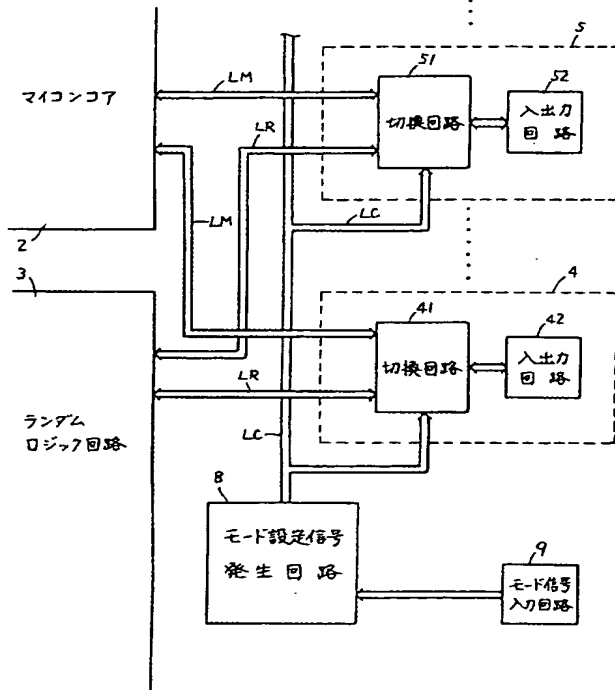
第5図



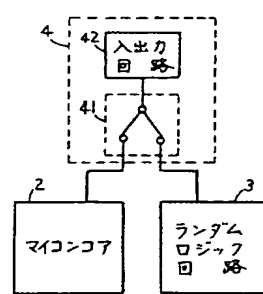
第6図



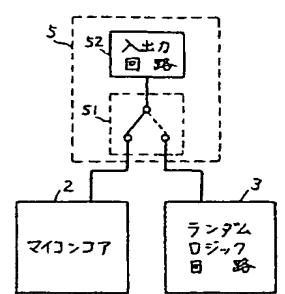
第7図



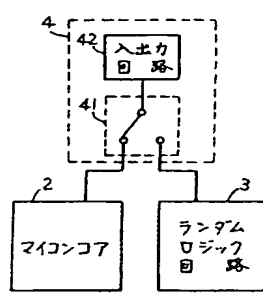
第8A図



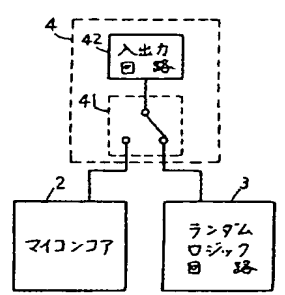
第9図



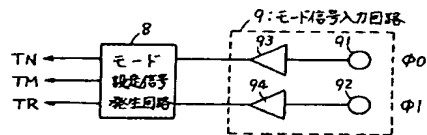
第8B図



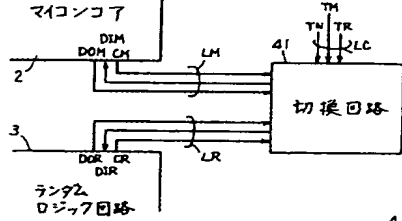
第8C図



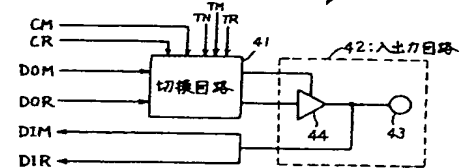
第10図



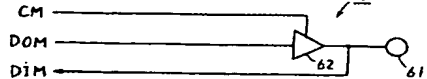
第11図



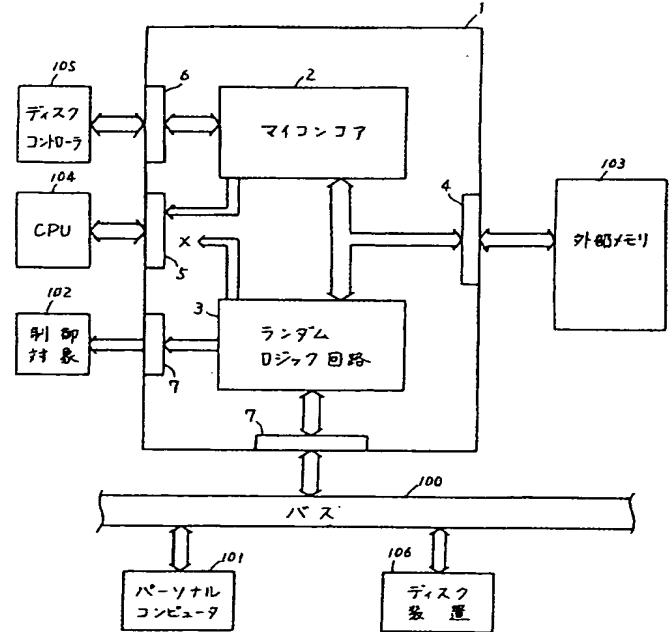
第12図



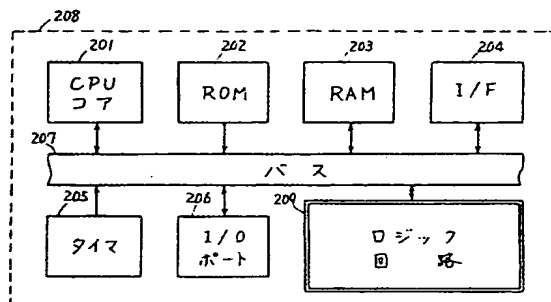
第13図



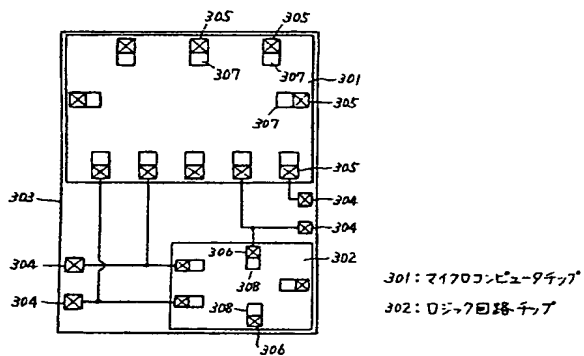
第14図



第15図



第16図



第1頁の続き

⑦発明者

松石

継巳

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

手続補正書(自発)

平成3年7月30日

5. 補正の対象

図面の第2A図、第2B図および第3A図

6. 補正の内容

図面の第2A図、第2B図および第3A図を別紙のとおり補正する。

以上

特許庁長官殿

1. 事件の表示

平成2年特許願第167283号

2. 発明の名称

半導体集積回路装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601) 三菱電機株式会社

代表者 志 岐 守 哉

4. 代理人

住 所 大阪市北区南森町2丁目1番29号 住友銀行南森町ビル

電話 大阪(06)361-2021(代)

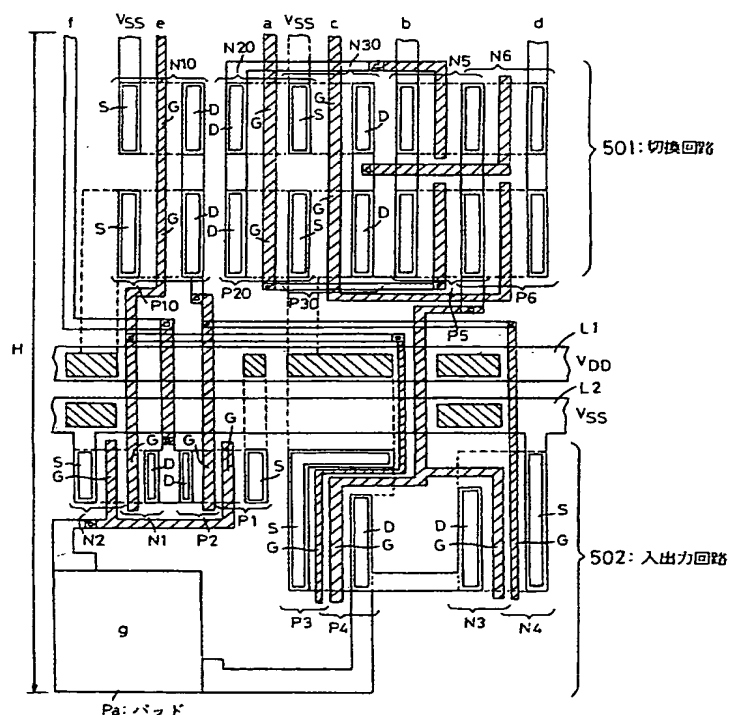
氏 名 弁理士(6474) 深 見 久 郎

3.1

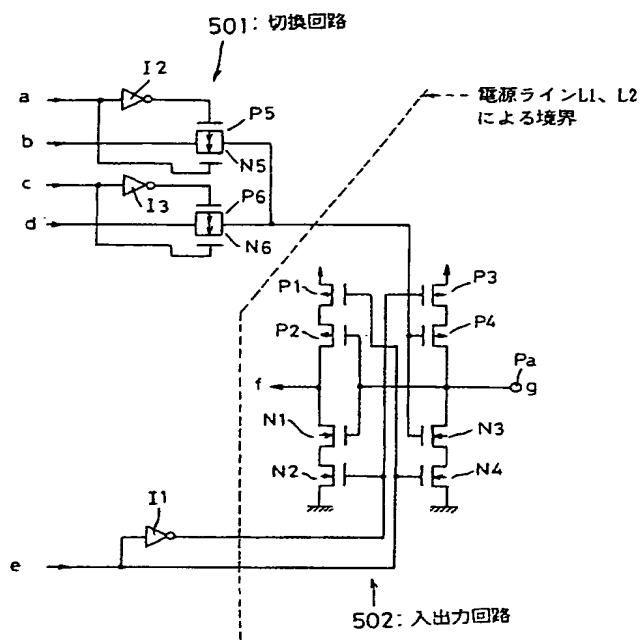
方 式 査 査



第2A図



第2B図



第3A図

